

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163845

(43)Date of publication of application : 06.06.2003

(51)Int.Cl.

H04N 5/335

H04N 1/407

H04N 5/18

(21)Application number : 2001-358892

(71)Applicant : SONY CORP

(22)Date of filing : 26.11.2001

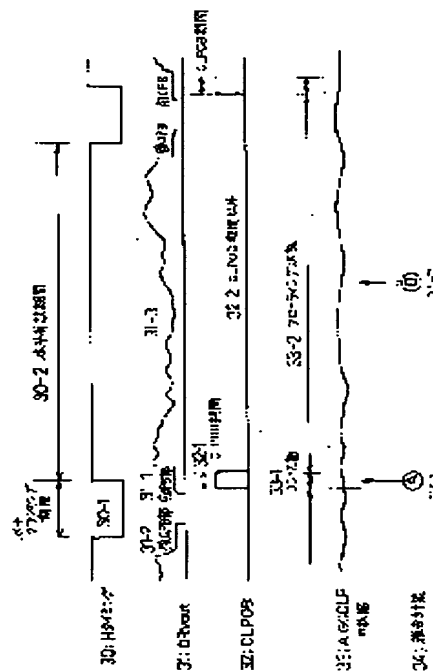
(72)Inventor : NAKAMURA NOBUO  
TAKADA YOKO  
KOSEKI MASARU  
NAKAMOTO YASUSHI

## (54) SOLID-STATE IMAGING APPARATUS AND ITS CLAMP CONTROL METHOD

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress the effect of noise intruded from a power supply and an external circuit or the like to a clamp circuit that clamps an output signal for a black reference signal in an analog front end IC chip having a CDS (correlated double sampling) function and an AGC (automatic gain control) function or the like.

**SOLUTION:** The clamp circuit 18 that matches an output of a gain control amplifier 4 corresponding to a period for a black reference signal with a prescribed reference value is provided with a voltage current conversion circuit 36 as a gain control means to control a gain of a clamp signal supplied to the gain control amplifier 4. The voltage current conversion circuit 36 decreases a gain of a feedback loop so as to suppress the effect on the gain control amplifier 4 thereby stabilizing the operation even when various noises are intruded to the clamp circuit 18 from the inside of the chip and the outside of the chip and an operational amplifier 12 amplifies the various noises.



## LEGAL STATUS

[Date of request for examination]

11.03.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**THIS PAGE BLANK (USPTO)**

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2003-163845

(P2003-163845A)

(43)公開日 平成15年6月6日(2003.6.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
H 0 4 N	5/335	H 0 4 N	5/335
	1/407		5/18
	5/18		1/40
			Z 5 C 0 2 1
			B 5 C 0 2 4
			1 0 1 B 5 C 0 7 7

審査請求 有 請求項の数11 O L (全 16 頁)

(21)出願番号 特願2001-358892(P2001-358892)

(22)出願日 平成13年11月26日(2001.11.26)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 中村 信男

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 高田 陽子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74)代理人 100089875

弁理士 野田 茂

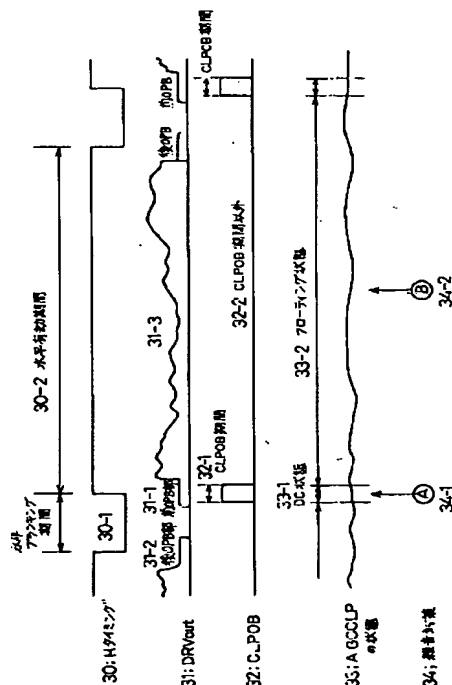
最終頁に続く

(54)【発明の名称】 固体撮像装置およびそのクランプ制御方法

(57)【要約】

【課題】 CDS機能やAGC機能等を設けたアナログフロントエンドICチップにおいて、黒基準信号期間に出力信号をクランプするためのクランプ回路に電源や外部回路等から混入する雑音の影響を抑制する。

【解決手段】 黒基準信号の期間に対応するゲインコントロールアンプ4の出力値を所定の基準値に一致させるクランプ回路18に、ゲインコントロールアンプ4に供給されるクランプ信号のゲインを制御するゲイン制御手段としての電圧電流変換回路36を設けた。この電圧電流変換回路36によってフィードバックループのゲインを減少させることにより、チップ内部、およびチップ外部からクランプ回路18に各種の雑音が混入し、OPアンプ12によって増幅された場合でも、ゲインコントロールアンプ4への影響を抑制でき、動作の安定化を図ることが可能となる。



## 【特許請求の範囲】

【請求項1】 垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持ったイメージセンサと、  
前記イメージセンサからの出力信号に対するノイズ除去を行う相関二重サンプリング回路と、  
前記相関二重サンプリング回路の出力信号を増幅するゲインコントロールアンプと、  
前記黒基準信号の期間に対応する前記ゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路とを具備した固体撮像装置において、  
前記クランプ回路は、ゲインコントロールアンプを出力信号に基づいてフィードバック制御するためのフィードバックループと、前記フィードバックループによってフィードバックされた出力信号を前記基準値と比較してクランプ信号を出力する演算手段と、前記黒基準信号の期間に対応して前記フィードバックループを開閉するスイッチとを有し、  
さらに、前記ゲインコントロールアンプに供給されるクランプ信号のゲインを制御するゲイン制御手段を有する、  
ことを特徴とする固体撮像装置。

【請求項2】 前記相関二重サンプリング回路と、前記ゲインコントロールアンプと、前記クランプ回路の少なくともフィードバックループ、スイッチおよびゲイン制御手段が同一ICチップ内に設けられていることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記ゲイン制御手段は、電流電圧変換回路、電圧電流変換回路、電流電流変換回路、または電圧電圧変換回路であることを特徴とする請求項1記載の固体撮像装置。

【請求項4】 前記ゲイン制御手段は、前記フィールドバックループによるクランプ信号の電圧変動値 $\Delta V_{out}$ よりも小さな電圧値 $\Delta V_{fb}$  ( $\Delta V_{fb} < \Delta V_{out}$ ) を前記ゲインコントロールアンプに供給することを特徴とする請求項1記載の固体撮像装置。

【請求項5】 垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持ったイメージセンサと、  
前記イメージセンサからの出力信号に対するノイズ除去を行う相関二重サンプリング回路と、  
前記相関二重サンプリング回路の出力信号を増幅するゲインコントロールアンプと、  
前記黒基準信号の期間に対応する前記ゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路とを具備した固体撮像装置において、  
前記クランプ回路は、ゲインコントロールアンプを出力信号に基づいてフィードバック制御するためのフィードバックループと、前記フィードバックループによってフィードバックされた出力信号を前記基準値と比較してク

ランプ信号を出力する演算手段と、前記黒基準信号の期間に対応して前記フィードバックループを開閉するスイッチとを有し、

さらに、フィールドバッククランプ期間以外の電圧変動を抑制するための第1の容量素子を接続する少なくとも1つのノードを有し、前記ノードがクランプ期間以外でフローティング状態にならないようにした、  
ことを特徴とする固体撮像装置。

【請求項6】 前記ノードは、前記スイッチとゲイン制御手段との間に設けられていることを特徴とする請求項5記載の固体撮像装置。

【請求項7】 前記第1の容量素子を前記クランプ回路が設けられる同一チップ内に設けたことを特徴とする請求項5記載の固体撮像装置。

【請求項8】 前記第1の容量素子を前記クランプ回路が設けられる同一チップ外に設け、前記ノードを前記第1の容量素子が接続される外部端子に接続したことを特徴とする請求項5記載の固体撮像装置。

【請求項9】 前記演算手段に対して出力信号をフィードバック入力する入力端子に第2の容量素子を接続したことを特徴とする請求項8記載の固体撮像装置。

【請求項10】 垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持ったイメージセンサと、  
前記イメージセンサからの出力信号に対するノイズ除去を行う相関二重サンプリング回路と、  
前記相関二重サンプリング回路の出力信号を増幅するゲインコントロールアンプと、  
前記黒基準信号の期間に対応する前記ゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路とを具備し、  
前記クランプ回路は、ゲインコントロールアンプを出力信号に基づいてフィードバック制御するためのフィードバックループと、前記フィードバックループによってフィードバックされた出力信号を前記基準値と比較してクランプ信号を出力する演算手段と、前記黒基準信号の期間に対応して前記フィードバックループを開閉するスイッチとを有する固体撮像装置のクランプ制御方法であって、  
前記ゲインコントロールアンプに供給されるクランプ信号のゲインを前記演算手段とは別のゲイン制御手段によって制御するようにした、  
ことを特徴とする固体撮像装置のクランプ制御方法。

【請求項11】 前記フィールドバックループによるクランプ信号の電圧変動値 $\Delta V_{out}$ よりも小さな電圧値 $\Delta V_{fb}$  ( $\Delta V_{fb} < \Delta V_{out}$ ) を前記ゲインコントロールアンプに供給してゲインを抑制することを特徴とする請求項10記載の固体撮像装置のクランプ制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、イメージセンサで撮像した画像信号をフィードバックして制御信号に用いる固体撮像装置およびそのクランプ制御方法に関する。

【0002】

【従来の技術】図15は、従来の固体撮像装置に設けられるアナログフロントエンドプロセッサ（以下、アナログFEという）の一例を示すブロック図である。このアナログFE1は、入力端子2から入力される入力信号Vinに対する相関二重サンプリング処理を複数のサンプルホールド（SH）回路によって実行するCDS（相関二重サンプリング）回路3と、そのゲインを制御するオートゲインコントロール（AGC）回路4と、このAGC回路4の出力をローパスするローパスフィルタ（LPF）回路5と、このLPF回路5を増幅して出力端子7より出力するドライブ（DRV）アンプ6と、このDRVアンプ6の出力信号DRVoutを所定の基準値にクランプするクランプ回路18等を有しており、撮像素子の黒基準信号期間に出力信号DRVoutをクランプ回路18によってクランプするものである。

【0003】クランプ回路18は、DRVアンプ6の出力信号DRVoutをフィードバックするフィードバックループ18Aと、このフィードバックループ18Aを外入力されるクランプ制御信号CLPOBに基づいて開閉するスイッチ18Bと、出力信号DRVoutの電圧値と所定の基準電圧源11による基準電圧値Vrefとを比較し、その差分信号を出力するOPアンプ12とを有し、OPアンプ12からの差分信号ΔVoutによってAGC回路4を制御することにより、出力信号DRVoutの電圧値と基準電圧値Vrefが同一の電圧になるようにして出力信号のクランプを行う。なお、フィードバックループ18Aのスイッチ18BとAGC回路4との間には、アナログFE1の外部接続端子14を通して外部のフィードバックループ用コンデンサ15に接続されるノード18Cが設けられている。また、OPアンプ12および基準電圧源11は、アナログFE1の外部接続端子8を通して基準電圧用コンデンサ9に接続されている。また、クランプ制御信号CLPOBは外部接続端子19より入力される。

【0004】このようなアナログFE1を構成するICは、CCDイメージセンサやCMOSイメージセンサなどの固体撮像装置の出力信号の信号処理ICとしてよく使用される。そして、従来のCCDイメージセンサやCMOSイメージセンサでは、一般に垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持っており、フレーム周期あるいは1水平周期の黒基準信号出力期間の間に、外部入力によるクランプ制御信号CLPOBを“ON”し、フィードバックループ18Aのスイッチ18Bを動作させ、出力信号DRVoutの電圧値と基準電圧値Vrefが同一の電圧になるよ

うに制御する。これにより、入力信号の黒基準信号電圧の変動があっても、常に一定の基準電圧値Vrefを基準にして出力信号DRVoutを出力することができ

る。

【0005】図16は、他の従来例による固体撮像装置に設けられるアナログFE2を示すブロック図である。なお、この図16において図15と共通の要素については同一符号を付している。この図16に示すアナログFE2は、上述した図15に示すクランプ回路18のうち基準電圧源11をICの外部（図示せず）に設けたものであり、基準電圧値Vrefは外部接続端子17から入力される。また、クランプ回路18のフィードバックループ18A、スイッチ18B、およびOPアンプ12等はICの内部に設けられている。ただし、図示のように、フィードバックする信号としてDRVアンプ6の出力でなく、LPF回路5の出力を用いる。なお、この種のアナログFEとしては、CDS機能およびAGC機能だけでなく、AD機能やイメージセンサを駆動するTG機能を含んだ1チップ回路などに使用される。さらにこれらの機能チップ内部に取り込んだCCDやCMOSイメージセンサなどの固体撮像素子にも広く使用される。

【0006】

【発明が解決しようとする課題】しかしながら、上記従来の回路構成では、電源電圧やGNDから混入する雑音の影響を防ぐことが困難であった。図17は、上述のように電源に混入する雑音電圧の具体例を示す説明図であり、縦軸は雑音電圧、横軸は周波数を示している。上述したICチップからの出力信号DRVoutは、次段の信号処理ボード（あるいは信号処理IC）に引き渡されるが、この信号処理ボード（あるいは信号処理IC）からの雑音混入の問題が存在する。図示のように、画像に混入する雑音としては、次段の信号処理ボード（あるいは信号処理IC）から混入するフレーム周波数に相当する30Hzの雑音と、その高調波周波数雑音、ならびに電源から混入する50Hzの雑音と、その高調波周波数の雑音が存在する。したがって、このような電源から混入する雑音と、次段の信号処理ボード（あるいは信号処理IC）から混入する雑音を抑圧することが必要である。

【0007】さらに、フィードバック期間以外の外部端子電圧のゆれを防ぐために、フィードバックループ18Aの少なくとも1つのノード18Cを外端子接続用14として引き出し、上述したコンデンサ15に大きな容量値の素子を接続しておく必要があった（図15参照）。この容量値は、0.1μF～10μF程度と大きく、大きな部品体積が必要であり、上述のようなICチップを用いたカメラシステムを小型化することが困難であった。

【0008】本発明は、このような実状に鑑みてなされたものであり、その目的とするところは、CDS機能や

AGC機能等を設けたアナログフロントエンドICチップにおいて、黒基準信号期間に出力信号をクランプするためのクランプ回路に電源や外部回路等から混入する雑音の影響を抑制することができ、また、ICチップの簡素化を図ることが可能な固体撮像装置およびそのクランプ制御方法を提供することにある。

#### 【0009】

【課題を解決するための手段】本発明は、垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持ったイメージセンサと、前記イメージセンサからの出力信号に対するノイズ除去を行う相関二重サンプリング回路と、前記相関二重サンプリング回路の出力信号を増幅するゲインコントロールアンプと、前記黒基準信号の期間に対応する前記ゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路とを具備した固体撮像装置において、前記クランプ回路は、ゲインコントロールアンプを出力信号に基づいてフィードバック制御するためのフィードバックループと、前記フィードバックループによってフィードバックされた出力信号を前記基準値と比較してクランプ信号を出力する演算手段と、前記黒基準信号の期間に対応して前記フィードバックループを開閉するスイッチとを有し、さらに、前記ゲインコントロールアンプに供給されるクランプ信号のゲインを制御するゲイン制御手段を有することを特徴とする。

【0010】また本発明は、垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持ったイメージセンサと、前記イメージセンサからの出力信号に対するノイズ除去を行う相関二重サンプリング回路と、前記相関二重サンプリング回路の出力信号を増幅するゲインコントロールアンプと、前記黒基準信号の期間に対応する前記ゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路とを具備した固体撮像装置において、前記クランプ回路は、ゲインコントロールアンプを出力信号に基づいてフィードバック制御するためのフィードバックループと、前記フィードバックループによってフィードバックされた出力信号を前記基準値と比較してクランプ信号を出力する演算手段と、前記黒基準信号の期間に対応して前記フィードバックループを開閉するスイッチとを有し、さらに、フィードバッククランプ期間以外の電圧変動を抑制するための第1の容量素子を接続する少なくとも1つのノードを有し、前記ノードがクランプ期間以外でフローティング状態にならないようにしたことを特徴とする。

【0011】また本発明は、垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持ったイメージセンサと、前記イメージセンサからの出力信号に対するノイズ除去を行う相関二重サンプリング回路と、前記相関二重サンプリング回路の出力信号を増幅するゲインコントロールアンプと、前記黒基準信号の期

間に対応する前記ゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路とを具備し、前記クランプ回路は、ゲインコントロールアンプを出力信号に基づいてフィードバック制御するためのフィードバックループと、前記フィードバックループによってフィードバックされた出力信号を前記基準値と比較してクランプ信号を出力する演算手段と、前記黒基準信号の期間に対応して前記フィードバックループを開閉するスイッチとを有する固体撮像装置のクランプ制御方法であって、前記ゲインコントロールアンプに供給されるクランプ信号のゲインを前記演算手段とは別のゲイン制御手段によって制御するようにしたことを特徴とする。

【0012】本発明の固体撮像装置およびクランプ制御方法によれば、黒基準信号の期間に対応するゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路に、ゲインコントロールアンプに供給されるクランプ信号のゲインを制御するゲイン制御手段を設けたことから、このクランプ回路に電源や外部回路等から各種の雑音が入力した場合にも、これをゲイン制御手段によって抑制し、ゲインコントロールアンプに対する影響を小さくすることが可能となり、撮像信号への雑音の影響を抑制することができる。また、本発明の固体撮像装置によれば、フィードバッククランプ期間以外の電圧変動を抑制するための第1の容量素子を接続するノードをクランプ期間以外でフローティング状態にならないようにしたことにより、クランプ期間以外の期間でクランプ回路の状態を安定化でき、ハム雑音等の影響を抑制することができる。

#### 【0013】

【発明の実施の形態】次に、本発明の実施の形態例について図面を参照して説明する。図1は、本発明の実施の形態で用いる動作原理を説明するための各信号の状態を示すタイミングチャートである。このタイミングチャートは、本実施の形態による固体撮像装置における水平タイミング期間(Hタイミング)30と、アナログFEの出力信号(DRVout)31と、アナログFEにクランプ動作を実行させるためのクランプ制御信号(CLPOB)32と、アナログFEのAGC回路のクランプ時の電圧状態であるAGCCLP信号33と、2つの雑音対策A、Bのタイミング34-1、34-2とを示している。

【0014】ここで、DRVout信号31は、1H期間の前にある黒基準期間(前OPB部)31-1と、1H期間の後ろにある黒基準期間(後ろOPB部)31-2と、その間の有効期間31-3に出力される信号である。そして、この例では、前にある黒基準期間の信号31-1の領域の一部について、第1のCLPOB信号32-1によってクランプ動作を行う。つまり、このCLPOB期間32-1にのみアナログFEのフィードバックループ回路を動作させ、DRVout31の出力を前



OPB部31-1の一部の期間による黒基準期間の電圧を後述の基準信号電圧 $V_{ref}$ と一致させている。このようなフィードバック動作により、同一ICにおいて温度変動により $DRV_{out}$ 電圧31の前OPB期間31-1の電圧レベルが変動しても、一定の $V_{ref}$ 電圧に強制的に設定することが可能である。つまり、温度変動によらず、出力電圧 $DRV_{out}$ の基準信号電圧31-1を常に一定値の電圧出力値 $V_{ref}$ に設定している。このように、第1のCLPOB期間32-1に出力電圧 $DRV_{out}$ 31-1をフィードバック動作をさせることにより、温度変化の影響をなくすることができる。

【0015】そして、本例では、雑音対策として、上述のようなフィードバッククランプ期間中33-1のフィードバックループのゲインを所定の大きさに調整するための電圧電流変換回路を設けることにより、フィードバック時に電源やGNDで発生する雑音を抑圧するものである（雑音対策34-1A）。また、フィードバッククランプ期間以外の期間33-2で、IC外に大容量の外部コンデンサ（第1の容量素子）を接続した構成において、この外部コンデンサを接続する外部接続端子から外部雑音が混入しない経路を提供するものである（雑音対策34-1B）。

【0016】以下、上述のような本実施の形態による特徴を実現するための具体的実施例について順次説明する。なお、以下の各実施例において、上述した従来例と共通の構成については同一符号を用いて説明する。図2は、本発明の第1実施例による固体撮像装置のアナログFEの構成を示すブロック図である。このアナログFE1は、上述した図15の従来例に電圧電流変換回路（減衰アンプ）36を追加したものであり、CDS回路3、AGC回路4、LPF回路5、DRVアンプ6等は図15に示す例と同様である。また、アナログFE1に外部接続されたコンデンサ9、15等も同様である。なお、この場合、外部コンデンサ9が上述した第1の容量素子に相当する。

【0017】また、クランプ回路18は、図15に示す例と同様に、フィードバックループ18A、スイッチ18B、基準電圧源11、およびOPアンプ（演算手段）12を有しており、フィードバックループ18Aのスイッチ18BとAGC回路4との間にゲイン制御手段としての電圧電流変換回路36が設けられている。このクランプ回路18では、OPアンプ12によって出力された差分信号の電圧変動値 $\Delta V_{out}$ を電圧電流変換することにより、この電圧変動値 $\Delta V_{out}$ よりも小さい電圧値 $\Delta V_{fb}$ （ $\Delta V_{fb} < \Delta V_{out}$ ）をAGC回路4にゲイン制御信号として出力するものである。

【0018】ここで、OPアンプ12は入力信号差（ $DRV_{out} - V_{ref}$ ）を大きな電圧出力 $\Delta V_{out}$ としてAGC回路4に供給するので、アナログFE1の出力電圧 $DRV_{out}$ を基準電圧 $V_{ref}$ に一致させるに

は効果がある。しかし、例えばOPアンプ12の電源やGNDから混入する雑音も、OPアンプ12の大きな増幅率により増幅されるため、雑音も増幅されてしまう。そのため、この雑音の影響を抑圧するために、フィードバックループ18Aの内部にフィードバックループゲインを制御する回路が不可欠になる。そのため本例では、電圧を電流に変換する電圧電流変換回路36を挿入し、この回路によってフィードバックループゲインをコントロールするようにした。ここで電圧電流変換回路36の出力は電流変動量 $\Delta i_{fb}$ として得られるが、図2には、この電流変動量に相当する電圧変動量 $\Delta V_{fb}$ として示している。

【0019】なお、本例では、フィードバックループゲインのゲイン制御手段に電圧電流変換回路36を用いたが、同様に電流電圧変換回路、電流電流変換回路、または電圧電圧変換回路を用いることも可能であり、フィードバックループゲインを抑制し得る手段であればよい。要は、出力信号を基準信号と比較するOPアンプ12以外に、フィードバックループゲインを制御できる手段がフィードバックループ内に挿入されていることが本例の特徴点である。

【0020】図3は、上述した図2に示す第1実施例の構成におけるゲイン制御手段の制御動作の具体例を示す説明図であり、OPアンプ12の入力である出力信号 $DRV_{out}$ の変化（横軸）に対する電圧電流変換回路36の制御電圧 $\Delta V_{fb}$ の変化（縦軸）を示している。図中の実線Cで示すように、フィードバックループのゲインが大きい場合には、出力電圧 $DRV_{out}$ の小さな変動に対してフィードバックされる電圧変動 $\Delta V_{out}$ も大きくなり、OPアンプ12などの電源やGNDの雑音変動に対して弱いものとなる。そこで、図中の破線Dで示すように、電圧電流変換回路36の挿入により、フィードバックループゲインを所定の大きさ以下にすることで、雑音変動に対する特性を改善することが可能である。すなわち、 $\Delta V_{fb} < \Delta V_{out}$ とすることにより、OPアンプ12や電圧電流変換回路36の電源やGNDから混入する雑音の影響を抑圧することが可能となる。これは、フィードバックループが動作している期間（図1のCLPOB期間32-1）の雑音対策Aに相当する。

【0021】図4は、本発明の第2実施例による固体撮像装置のアナログFEの構成を示すブロック図である。基本的には、図2に示す構成と同様であるが、本例は、フィードバックループ18Aの電圧を保持するためのコンデンサ（第2の容量素子）41をOPアンプ12に入力されるフィードバックループ18A上に設け、その上流側（出力端子7側）にスイッチ18Bを設けたものである。すなわち、本例では、スイッチ18Bが“OFF”状態となっても、外部接続端子14に接続しているコンデンサ15がフローティング状態になることがない

ので、外部接続端子14に接続されているコンデンサ15から混入する各種雑音（ハム雑音、外部の飛び込み雑音、電源・GND雑音）の影響を抑えることができる。これは、図1の雑音対策B（34-2）の対策に相当する。なお、その他は図2に示す例と同様であるので説明は省略する。

【0022】図5は、本発明の第3実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本例は、図2において外部接続端子14に接続されるコンデンサ15の代わりにアナログFE1の内部にコンデンサ42を設けたものである。このような回路構成とすることにより、外部接続端子を設けることが不要となり、以下のような効果を得ることができる。第1は、外部接続端子を引き出してしまうと、どうしてもその外部端子から雑音の混入が避けられないため、このような雑音の混入を防止できる。第2は、外部端子に0.1 $\mu$ F～10 $\mu$ F程度の大きな容量値の容量素子を取り付けると、容量素子の体積が大きくなり、システム全体の小型化が困難になるが、これをIC内に設けることで、小型化を図ることが可能となる。なお、その他は図2に示す例と同様であるので説明は省略する。

【0023】図6は、本発明の第4実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本例は、アナログFE1の内部に、新たにOPアンプ12の入力を切り換えるスイッチ44、45と、内部コンデンサ46と、その接続を切り換えるスイッチ47を設けたものである。すなわち、本例において、フィードバックループ18Aには、OPアンプ12の両方の入力端側から出力端側に直接接続される2つのパス18D、18Eが設けられている。そして、非反転入力端子（基準電圧源11）側のパス18Eに内部コンデンサ46とスイッチ47が設けられている。

【0024】そして、OPアンプ12の反転入力端子に設けられたスイッチ44をクランプ制御信号CLPOB2によって切り換えることにより、OPアンプ12の反転入力端子をパス18Dを通して電圧電流変換回路36側に接続するか、出力信号DRVout側に接続するかを選択する。また、OPアンプ12の非反転入力端子に設けられたスイッチ45をクランプ制御信号CLPOB2によって切り換えることにより、OPアンプ12の非反転入力端子をパス18Eを通して内部コンデンサ46及びスイッチ47側に接続するか、基準電圧源11側に接続するかを選択する。また、スイッチ47をクランプ制御信号CLPOB3によって切り換えることにより、内部コンデンサ46を電圧電流変換回路36側に接続するか否かを選択する。

【0025】本例の構成は、図1の雑音対策34-2Bを目的とするものである。つまり、従来は外部コンデンサ15がフローティング状態になり雑音の混入が不可避だったが、本例では、外部コンデンサ15がフローティ

ング状態にならないようにして雑音対策をとったことである。すなわち、図6の構成において、フィードバック動作が“ON”している期間は、スイッチ44、45、47は“実線”で示すような状態となっている。つまり、OPアンプ12が動作し、OPアンプ12からの差動出力電圧は内部コンデンサ46に書き込まれる。また、クランプ期間が終了すると、スイッチ44、45、47は“破線”で示すような状態に切り換わる。これにより、内部コンデンサ46に書き込まれた電圧は、外部接続端子14側にも出力されるので、外部コンデンサ15がフローティング状態にならず、外部雑音の影響をなくすることができる。このようにして、クランプ用のスイッチ44が“OFF”となっても外部コンデンサ15がフローティング状態にならない構成を得ることが可能となる。なお、図6の例では、外部コンデンサ15が記載されているが、内部コンデンサ46とマージ可能である。つまり削減することができる。同様に外部コンデンサ9もチップ内部に形成し削減できる。

【0026】図7は、本発明の第5実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本例のアナログFE1は、基準電圧Vref11の電圧を変更できるように、微少電圧可変回路52を取り付けたものである。この微少電圧可変回路52は外部からのオフセット信号OFFSETによって所望の値に可変制御されるものである。この微少電圧可変回路52によって微少電圧 $\Delta V_{ref}$ を発生させることにより、フィードバッククランプ期間中の出力信号DRVoutを、 $V_{ref} + \Delta V_{ref}$ 電圧に一致させることが可能となる。

【0027】図8は、本発明の第6実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本実施例は、図4に示す第2実施例の変形例であり、図4の構成で外部接続端子14に接続されていた外部コンデンサ15の代わりに、図5の第3実施例と同様の内部コンデンサ42を設けたものである。なお、内部コンデンサ42は、半導体基板内部に形成されているものとする。このような回路構成により、外部接続端子から混入する雑音の影響を抑圧することが可能となる。

【0028】図9は、本発明の第7実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本例は、外部接続端子14に接続するコンデンサ15の他方の電極とOPアンプ12の基準電圧Vrefを保持するためのコンデンサ9の他方の電極とをショートさせ、共通GND（あるいは共通VDD）53に接続したものである。これは、外部基板上で共通GND化（あるいは共通VDD化）させることで、外部端子から混入する雑音の影響を2つのコンデンサに同時に発生させ、同相入力雑音除去比を高め、雑音の影響を抑圧するものである。

【0029】図10は、本発明の第8実施例による固体

撮像装置のアナログFEの構成を示すブロック図である。本例では、図16に示した構成のアナログFE2に本発明を適用したものであり、図16に示す構成における外部コンデンサの代わりに、内部コンデンサ54をICチップ内に設けたものである。これにより、外部接続端子14をなくし、外部接続端子から混入する雑音の影響を抑圧することが可能となる。

【0030】図11は、本発明の第9実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本例では、図10に示す構成において、さらにフィードバックループ18AのOPアンプ12とスイッチ18Bの後に、ゲイン制御手段としてのゲイン変換回路57を設けたものである。このような回路構成にすることによって、OPアンプ12の大きなゲインをコントロールすることが可能となり、フィードバックループゲインを所定の大きさ以下にすることにより、OPアンプ12の電源やGNDから混入する雑音の影響を抑圧することが可能となる。

【0031】図12は、本発明の第10実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本例では、図16に示した構成のアナログFE2において、外部コンデンサ15をフローティング状態にしないように、クランプ用のスイッチ59とコンデンサ60をOPアンプ12のフィードバックループ側の入力端子（反転入力端子）に設けたものである。すなわち、図12において、スイッチ59は、クランプ制御信号CLPOBに基づいて開閉動作し、OPアンプ12の反転入力端子とフィードバックループとの接続、遮断を切り換えるものである。このような構成において、フィードバッククランプ動作時は、ローパスフィルタ5の出力信号を内部コンデンサ60に書き込む。したがって、スイッチ59を“OFF”しても、内部コンデンサ60には以前の信号が書き込まれているので、外部コンデンサ15はフローティング状態にはならない。このため、外部端子から混入する雑音の影響を抑圧することが可能となる。

【0032】図13は、本発明の第11実施例による固体撮像装置のアナログFEの構成を示すブロック図である。本例は、図6に示した原理を図10に示す構成のアナログFE2に適用したもので、フィードバッククランプ動作時のOPアンプ12の出力電圧を書き込む内部コンデンサ62を設け、この書き込み動作を実行するためのスイッチ63、64、65を設けたものである。スイッチ63は、クランプ制御信号CLPOB2に基づいて、OPアンプ12の非反転入力端子を内部コンデンサ62または基準電圧Vrefに接続する。また、スイッチ64は、クランプ制御信号CLPOB2に基づいて、OPアンプ12の反転入力端子をOPアンプ12の出力端子またはLFP回路5の出力端子に接続する。また、スイッチ65は、クランプ制御信号CLPOB3に基づ

いて、内部コンデンサ62とOPアンプ12の出力端子との間を接続、遮断するものである。このような構成において、図1のCLPOB期間以外32-2の間に、スイッチ63、64、65を“実線”の状態から“点線”の状態に切り換える。これにより、内部コンデンサ62に書きこまれた電圧を常に出力するようにできる。

【0033】図14は、上述のような本発明の各実施例によるアナログFE（AFE1、AFE2）が搭載された固体撮像装置（CMOS型イメージセンサ）の全体構成例を示すブロック図である。図中のアナログFE74が、上述したアナログFE1またはアナログFE2のいずれかによって構成されるブロックである。この固体撮像装置は、半導体基板68上に、イメージセンサ領域69、垂直レジスタ70、水平レジスタ71、出力アンプ73、タイミングジェネレータTG72、アナログFE74の各ブロックを搭載したものであり、アナログFE74がイメージセンサと同一チップ上に形成された例である。

【0034】このような固体撮像装置では、垂直ブランキング期間と水平ブランキング期間の少なくとも片方に黒基準信号を持っているが、実際の使用条件下においては、デバイス温度が時々刻々変動するため、上述したフィードバックループクランプ回路による黒基準電圧のクランプ動作により、イメージセンサ69の出力信号DRVoutの基準電圧を一定に維持することが可能となる。したがって、本発明の固体撮像装置は、図示のようなCMOS型イメージセンサ用途に広く採用することができる。また、CCDイメージセンサなどでは、上述した各実施例のアナログFEを別チップ構成で設けることができる。すなわち、本発明は、CCDイメージセンサやCMOSイメージセンサに広く採用できるものである。

【0035】以上のような本発明の各実施例による固体撮像装置およびクランプ制御方法では、以下のような効果を得ることが可能である。1. フィードバックループのゲインを減少させたため、チップ内部、およびチップ外部から混入する雑音の影響を抑圧することができる。2. 各種雑音が混入しやすい外部端子のフローティング状態がなくなるため、ハム雑音などの影響を削減できる。3. 外部容量素子をチップ内部に作成することが可能となるため、このICを使用したシステムの小型化が可能である。

【0036】

【発明の効果】以上説明したように本発明の固体撮像装置およびクランプ制御方法によれば、黒基準信号の期間に対応するゲインコントロールアンプの出力値を所定の基準値に一致させるクランプ回路に、ゲインコントロールアンプに供給されるクランプ信号のゲインを制御するゲイン制御手段を設けたことから、このクランプ回路に電源や外部回路等から各種の雑音が混入した場合にも、

これをゲイン制御手段によって抑制し、ゲインコントロールアンプに対する影響を小さくすることが可能となり、撮像信号への雑音の影響を抑制することができる効果がある。また、本発明の固体撮像装置によれば、フィールドバッククランプ期間以外の電圧変動を抑制するための第1の容量素子を接続するノードをクランプ期間以外でフローティング状態にならないようにしたことにより、クランプ期間以外の期間でクランプ回路の状態を安定化でき、ハム雑音等の影響を抑制することができる効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態で用いる動作原理を説明するための各信号の状態を示すタイミングチャートである。

【図2】本発明の第1実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図3】図2に示す第1実施例の構成におけるゲイン制御手段の制御動作の具体例を示す説明図である。

【図4】本発明の第2実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図5】本発明の第3実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図6】本発明の第4実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図7】本発明の第5実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図8】本発明の第6実施例による固体撮像装置のアナ

ログFEの構成を示すブロック図である。

【図9】本発明の第7実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図10】本発明の第8実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図11】本発明の第9実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図12】本発明の第10実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図13】本発明の第11実施例による固体撮像装置のアナログFEの構成を示すブロック図である。

【図14】本発明の各実施例によるアナログFEが搭載された固体撮像装置（CMOS型イメージセンサ）の全体構成例を示すブロック図である。

【図15】従来の固体撮像装置に設けられるアナログFEの第1の構成例を示すブロック図である。

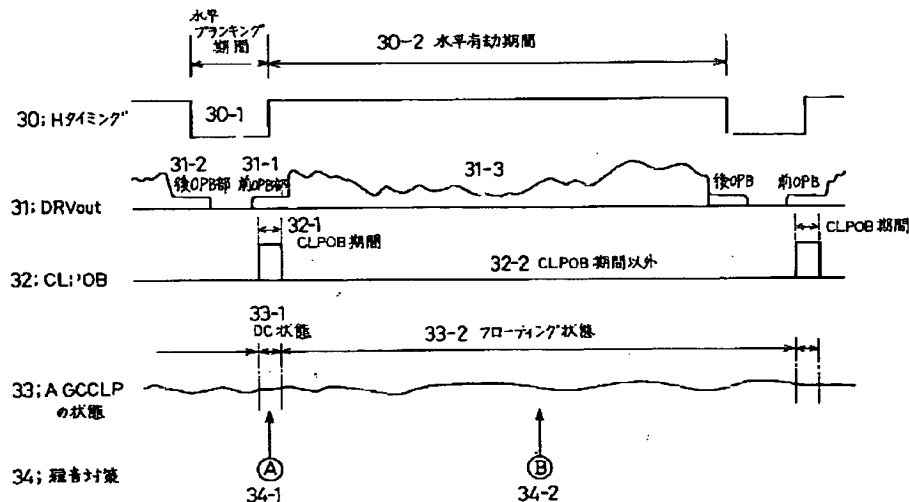
【図16】従来の固体撮像装置に設けられるアナログFEの第2の構成例を示すブロック図である。

【図17】従来の固体撮像装置において電源に混入する雑音電圧の具体例を示す説明図である。

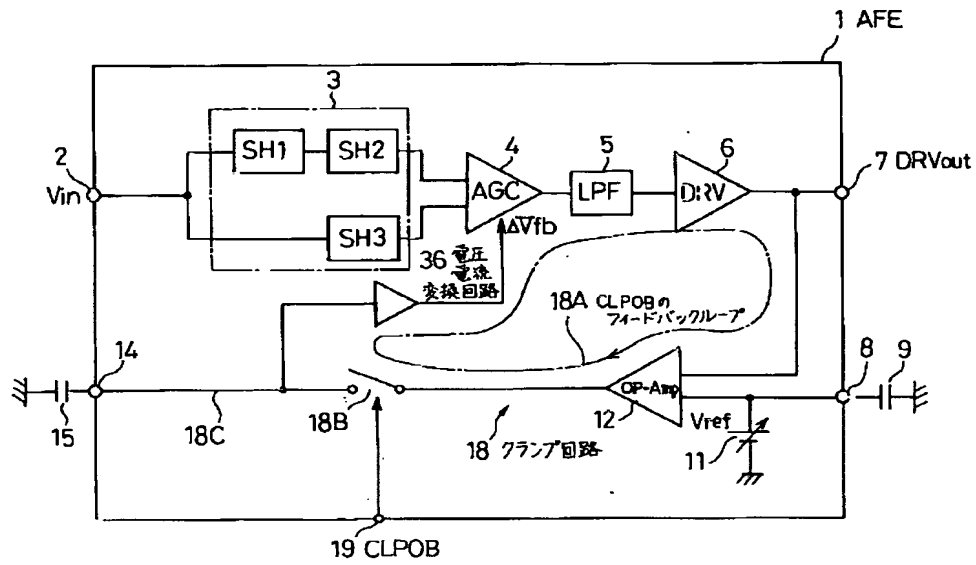
【符号の説明】

1、2……アナログFE、3……CDS回路、4……AGC回路、5……LPF回路、6……DRVアンプ、9、15……コンデンサ、11……基準電圧源、12……OPアンプ、18……クランプ回路、18A……フィールドバックループ、18B……スイッチ、36……電圧電流変換回路。

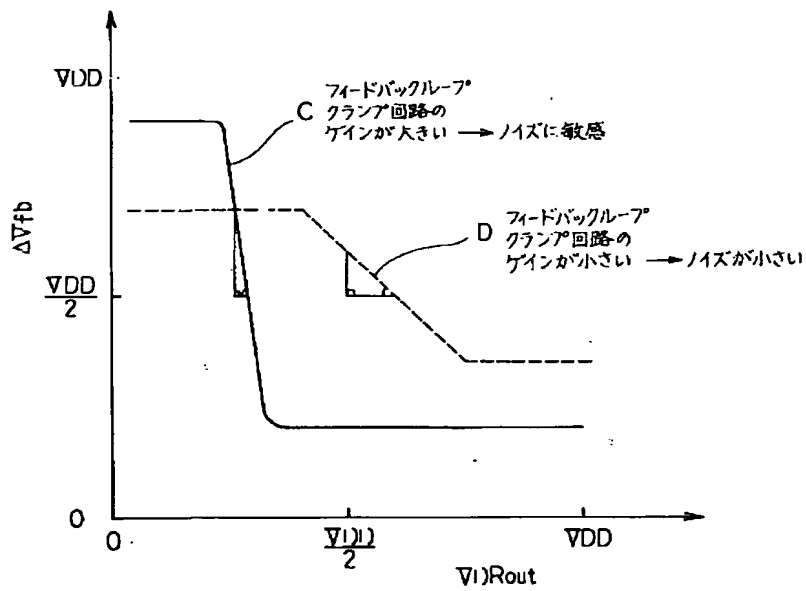
【図1】



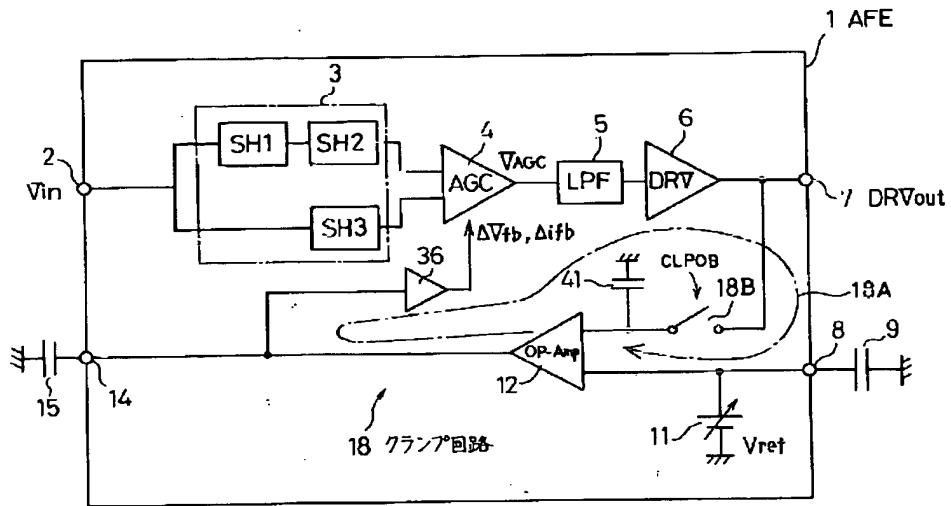
【図2】



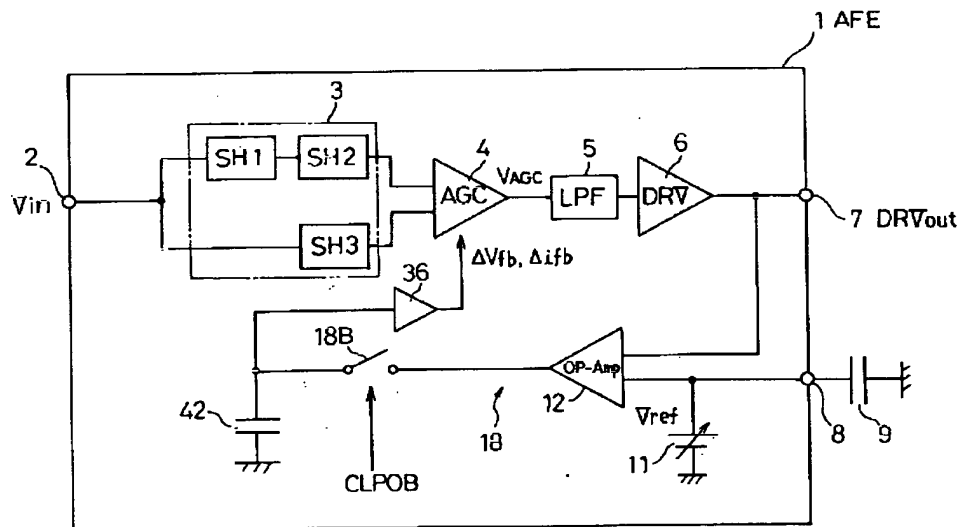
【図3】

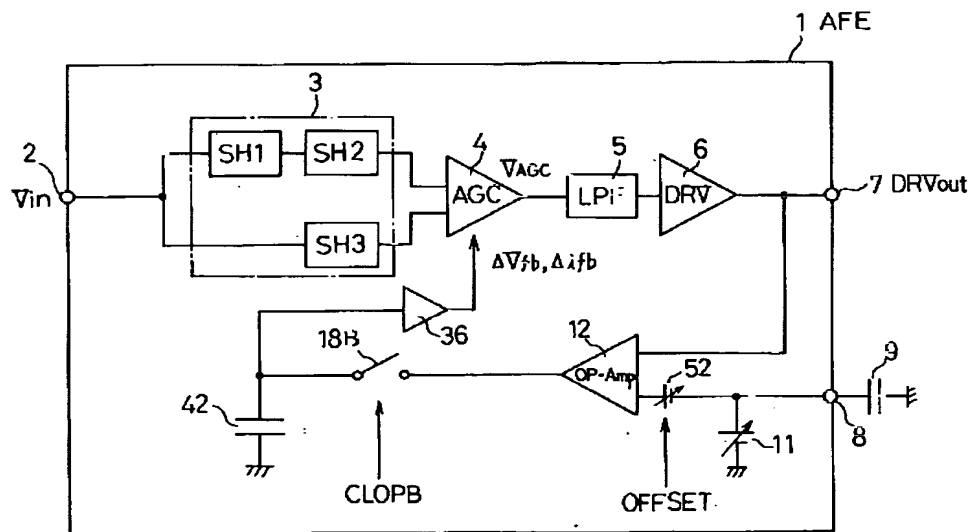


【図4】

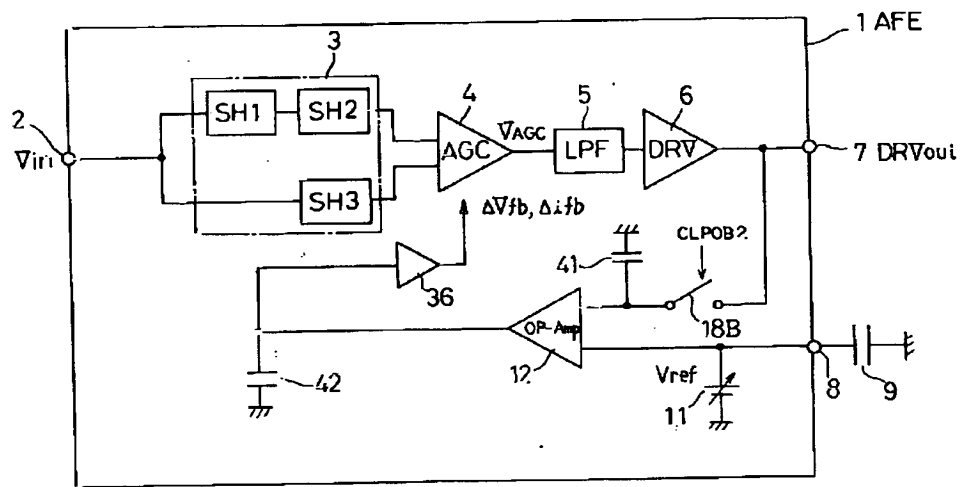


【図5】

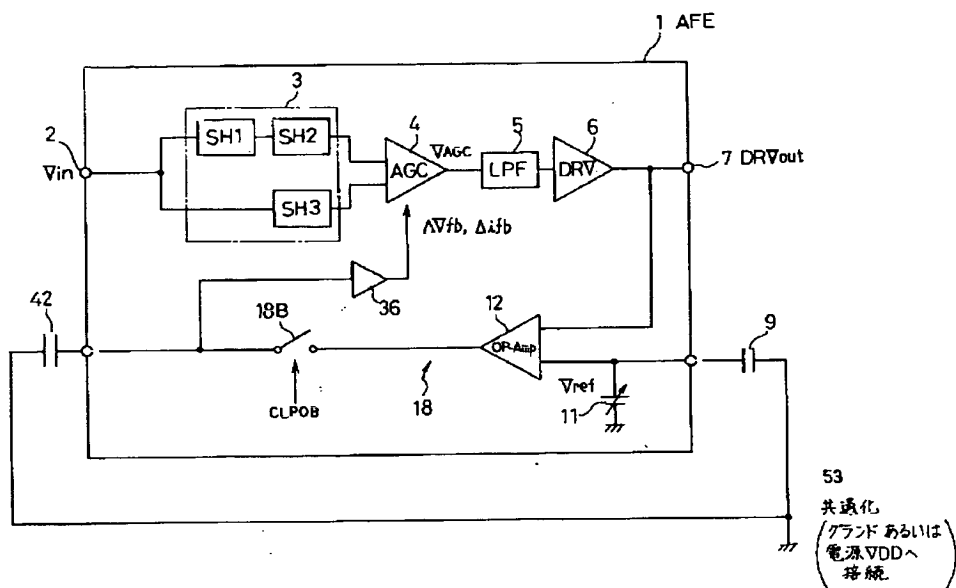




【図8】

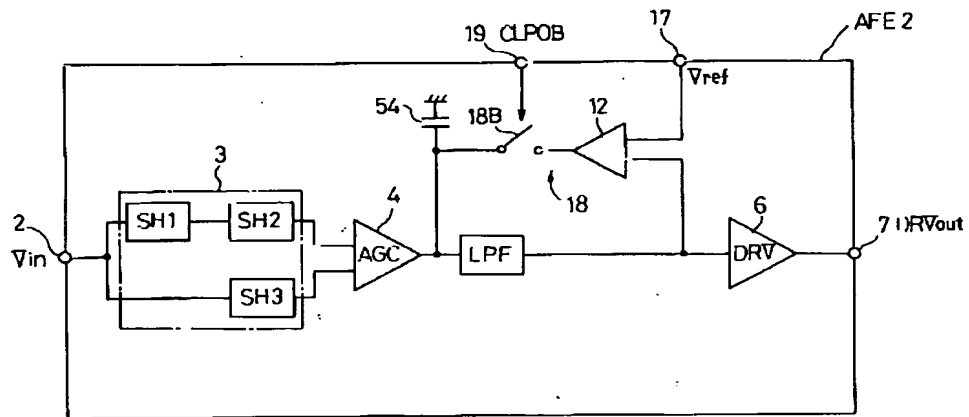


【図9】

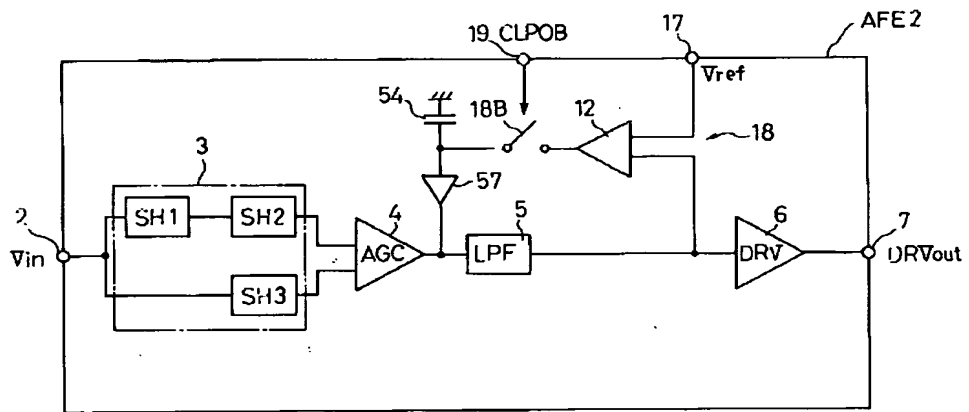




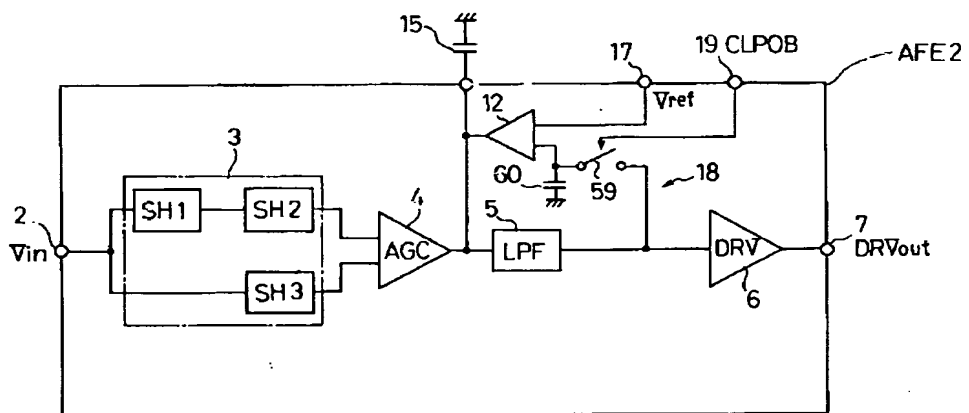
【図 10】



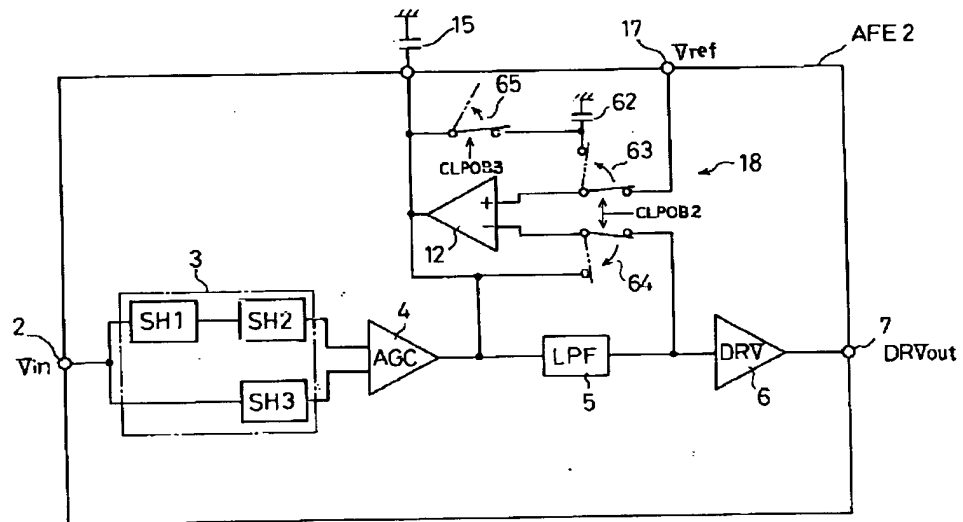
【図 11】



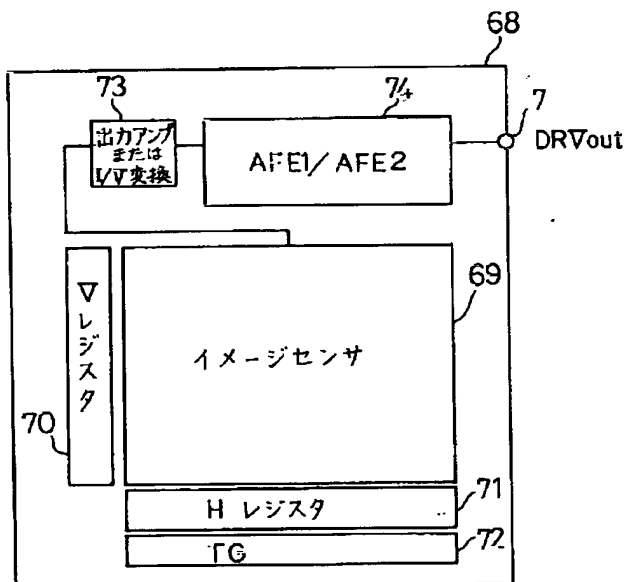
【図 12】



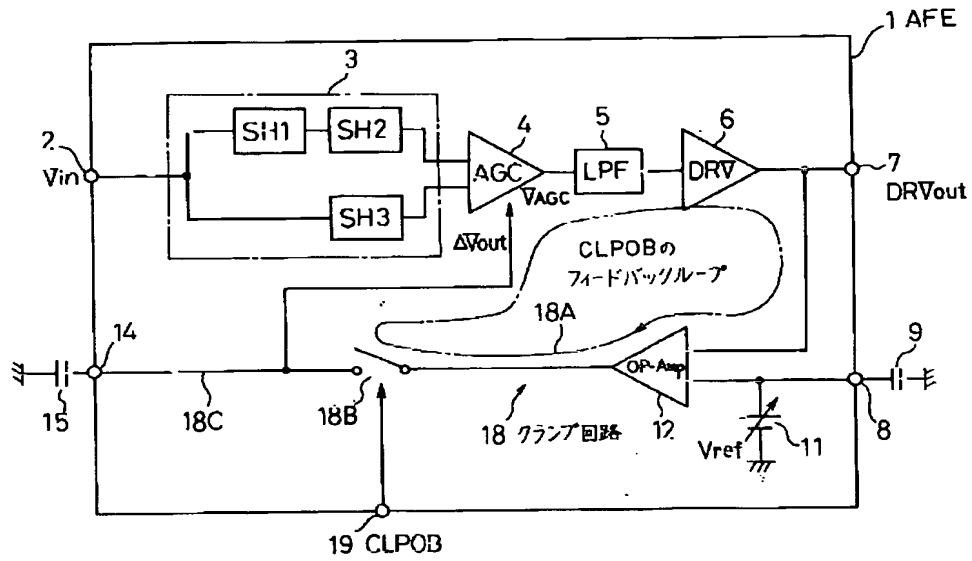
【図13】



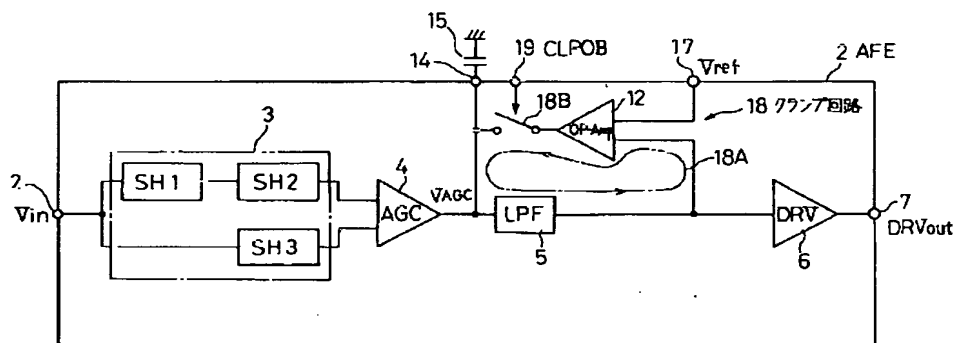
【図14】



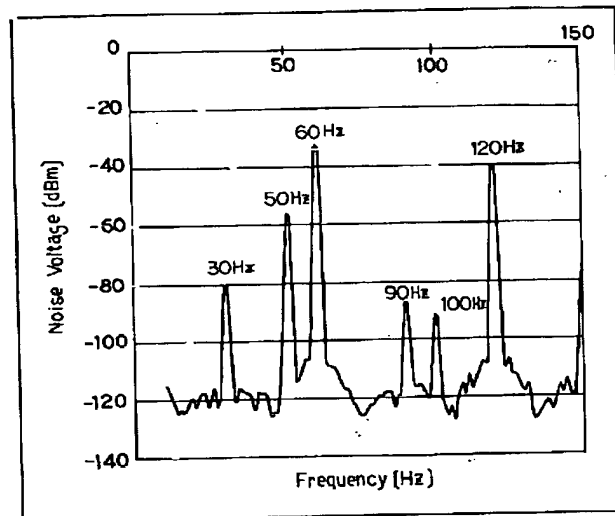
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 小関 賢  
神奈川県横浜市保土ヶ谷区神戸町134番地  
ソニー・エルエスアイ・デザイン株式会  
社内  
(72)発明者 中本 泰  
東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

Fターム(参考) 5C021 PA13 PA17 PA34 PA52 SA17  
SA18 XA13 XA41 YA01  
5C024 CX03 GY01 GY31 GZ36 HX05  
HX09 HX13 HX18  
5C077 LL04 MP01 NP02 PP02 PP07  
PP12